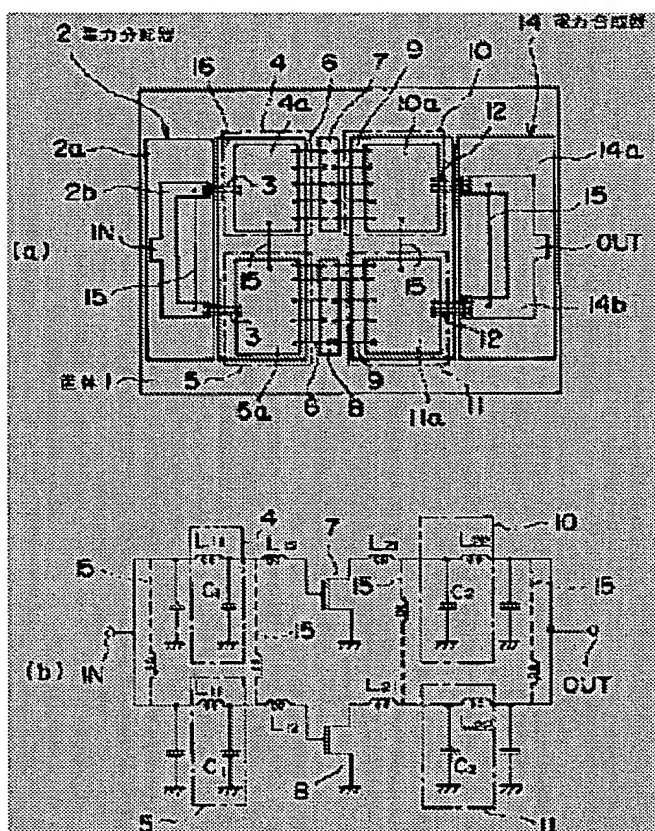


HIGH FREQUENCY SEMICONDUCTOR DEVICE

Patent number: JP6006151
 Publication date: 1994-01-14
 Inventor: SANO SEIGO
 Applicant: FUJITSU LTD.; FUJITSU KANTAMU DEVICE KK
 Classification:
 - international: H03F3/60; H01L23/12; H01L23/50; H01L25/04; H01L25/18
 - european:
 Application number: JP19920158266 19920617
 Priority number(s): JP19920158266 19920617

Abstract of JP6006151

PURPOSE: To prevent occurrence of the oscillation by connecting at least parallel lines in input and output side lines of semiconductor chips connected in parallel with one or plural conductive wires. **CONSTITUTION:** Two circuits 4, 5 and 10, 11 connected in parallel are connected at one point or plural points mutually at strip lines between an input terminal IN and an output terminal OUT with a gold wire 15. Thus, the oscillating frequency (f) of the resonance circuit caused by floating capacitance or a parasitic element or the like is expressed as $f = \frac{1}{2\pi\sqrt{LC}}$ and the L component is changed by the gold wire 15. Moreover, since the loop oscillation circuit formed by the parallel circuit is eliminated, no oscillation takes place. The gold wire 15 is a strip line having a high impedance at an amplified frequency and no effect is given on the matching circuits 4, 5, 10 and 11. The output characteristic of the amplifier is not deteriorated and the frequency characteristic without an oscillated spectrum is obtained with a frequency f_0 of an input signal.



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-6151

(43)公開日 平成6年(1994)1月14日

(51)IntCl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 F 3/60		8522-5 J		
H 0 1 L 23/12	3 0 1 Z	9355-4M		
23/50		Z 9272-4M		
25/04				

H 0 1 L 25/ 04 Z
 審査請求 未請求 請求項の数3(全 8 頁) 最終頁に続く

(21)出願番号 特願平4-158266

(22)出願日 平成4年(1992)6月17日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(71)出願人 000154325

富士通カントムデバイス株式会社

山梨県中巨摩郡昭和町大字紙漣阿原1000番地

(72)発明者 佐野 征吾

山梨県中巨摩郡昭和町紙▲鹿▼阿原1000番地 富士通カントムデバイス株式会社内

(74)代理人 弁理士 岡本 啓三

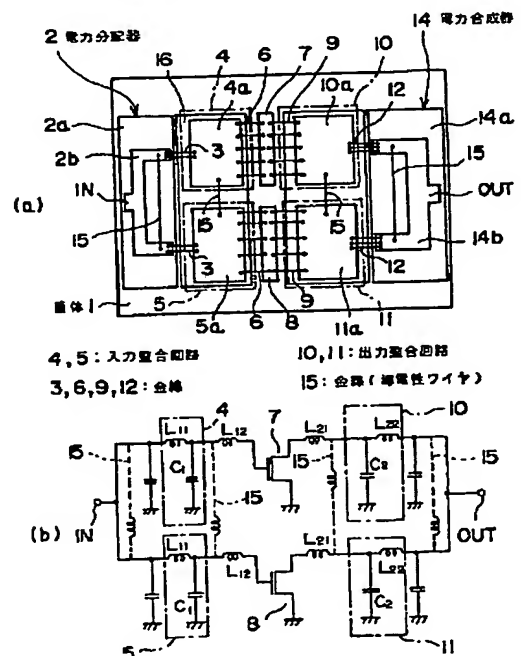
(54)【発明の名称】 高周波半導体装置

(57)【要約】

【目的】本発明は、高周波半導体装置に関し、発振現象の発生を防止することを目的とする。

【構成】並列に接続される複数の半導体チップの入力側の線路と出力側の線路の少なくとも一方にある並列な線路間を、1本又は複数本の導電性ワイヤによって接続することを含み構成する。

本発明の第1実施例を示す平面図及び等価回路図



【特許請求の範囲】

【請求項1】並列に接続される複数の半導体チップの入力側のストリップ線路と出力側のストリップ線路の少なくとも一方にある並列なストリップ線路間を、1本又は複数本の導電性ワイヤによって接続することを特徴とする高周波半導体装置。

【請求項2】入力端(IN)に入力した信号を複数のストリップ線路に分配する電力分配器(2)と、前記電力分配器(2)に接続されてインピーダンスを整合する複数の入力整合回路(4、5)と、前記入力整合回路(4、5)に並列接続される複数の半導体チップ(7、8)と、前記半導体チップ(7、8)の各々の出力側に接続されてインピーダンスを整合する複数の出力整合回路(10、11)と、複数の前記出力整合回路(10、11)に接続されて出力端(OUT)に信号を合成する電力合成器(14)と、前記電力分配器(2)、前記入力整合回路(4、5)、前記半導体チップ(7、8)、前記出力整合回路(10、11)及び前記電力合成器(14)により形成される並列な各回路の相互間を繋げる導電性ワイヤ(15)とを備えたことを特徴とする高周波半導体装置。

【請求項3】入力端に入力した信号を複数のストリップ線路に分配し、かつ、インピーダンスを整合する入力整合回路(22)と、前記入力整合回路(22)に並列接続される複数の半導体チップ(24、25)と、前記半導体チップ(24、25)の各々の出力側に接続されてインピーダンスを整合し、かつ、前記半導体チップ(24、25)から出力された信号を合成する出力整合回路(27)と、前記入力整合回路(22)、前記半導体チップ(24、25)及び前記出力整合回路(27)により形成される並列な各回路の相互間を繋げる導電性ワイヤ(28)とを備えたことを特徴とする高周波半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置に関し、より詳しくは、デジタル通信などに使用される半導体固体電力素子を備えたマイクロ波帯等の高周波半導体装置に関する。

【0002】近年の情報量の拡大にともない、その情報通信に使用する無線伝送方式は256QAM通信に代表されるデジタル通信方式が主流になっている。その際、伝送装置内に使用されるGaAsFET等の半導体固体電力素子は高出力化が必要とされ、その手段としては複数個の半導体素子を並列動作させて電力を合成している。

【0003】

【従来の技術】複数個のGaAsFET等の半導体チップを備えた従来の高周波高出力用半導体装置の平面図を図4

(a)、(b)に示す。

【0004】図4(a)において符号41は、導電性の筐体で、入力側から出力側にかけて筐体41の上には、入力信号を2経路に分配する電力分配器42と、分配されたそのストリップ線路に金線43を介して接続される2つの入力整合回路44、45と、各入力整合回路44、45に金線46を介して接続される半導体チップ47、48と、各半導体チップ47、48の出力側に金線49を介して接続される出力整合回路50、51と、それらの出力整合回路50、51に金線52を介して繋がられる電力合成器53とが取付けられている。

【0005】この場合の入力整合回路44、45及び出力整合回路50、51は、半導体チップ47、48に接続される平行平板コンデンサと、金線43、49からなるインダクタとにより構成された集中定数型のものである。

【0006】図4(b)において符号54は、導電性の筐体で、この筐体54の上には、電力分配器を兼ねた入力整合回路55と、分配されたストリップ線路に金線56を介して接続される2個の半導体チップ57、58と、各半導体チップ57、58の出力側に金線59を介して接続された出力整合回路60とが取付けられ、その出力整合回路60は電力合成器を兼ねている。

【0007】この場合、電力分配器を兼ねた入力整合回路55と、電力合成器を兼ねた出力整合回路60は、それぞれ金線によるインダクタを有しておらず、 $\lambda g/4$ 線路(λg :管内波長)のインピーダンス変換性を利用した分布定数型となっている。

【0008】

【発明が解決しようとする課題】しかし、これらの装置によれば、信号を分配、合成する並列回路が並列共振回路となり、入力信号よりも低い周波数の信号が発生する現象、いわゆる発振の現象が生じることがあり、歩留り低下の原因となる。

【0009】この発振現象によれば、図5(a)に例示するように、基本波スペクトル f_0 よりも低周波数側、例えば f_0 が10GHzの場合に数百MHz～数GHzの範囲にスペクトルが見られるようになり、これにより出力電力が低下したり、その周波数帯を使用する他の回路に悪影響を及ぼすことになる。

【0010】本発明は、このような問題に鑑みてなされたものであって、発振現象の発生を防止して歩留りの向上に寄与できる高周波半導体装置を提供することを目的とする。

【0011】

【課題を解決するための手段】上記した課題は、並列に接続される複数の半導体チップの入力側のストリップ線路と出力側のストリップ線路の少なくとも一方にある並列なストリップ線路間を、1本又は複数本の導電性ワイヤによって接続することを特徴とする高周波半導体装置

により達成する。

【0012】または、図1に例示するように、入力端INに入力した信号を複数のストリップ線路に分配する電力分配器2と、前記電力分配器2に接続されてインピーダンスを整合する複数の入力整合回路4、5と、前記入力整合回路4、5に並列接続される複数の半導体チップ7、8と、前記半導体チップ7、8の各々の出力側に接続されてインピーダンスを整合する複数の出力整合回路10、11と、複数の前記出力整合回路10、11に接続されて出力端OUTに信号を合成する電力合成器14と、前記電力分配器2、前記入力整合回路4、5、前記半導体チップ7、8、前記出力整合回路10、11及び前記電力合成器14により形成される並列な各回路の相互間を繋げる導電性ワイヤ15とを備えたことを特徴とする高周波半導体装置によって達成する。

【0013】または、図3に例示するように、入力端に入力した信号を複数のストリップ線路に分配し、かつ、インピーダンスを整合する入力整合回路22と、前記入力整合回路22に並列接続される複数の半導体チップ24、25と、前記半導体チップ24、25の各々の出力*20

$$P_3 / P_1 = -f_3 / f_1 = - (1 + f_2 / f_1) \quad \cdots \cdots (1)$$

$$P_3 / P_2 = -f_3 / f_2 = - (1 + f_1 / f_2) \quad \cdots \cdots (2)$$

発振現象を考える際に、今、周波数 f_3 の電力 P_3 だけが非線型リアクタンスに入力した仮定し、周波数 f_1 に共振する回路があるとすれば、 f_3 を励振源として、 $f_3 = f_1 + f_2$ の関係にある周波数 f_1 、 f_2 の両方で発振を生じる可能性がある。

【0017】上述した現象を図4(a)の従来回路に置き換えると、図5(b)に示すGaAsFETの等価回路において、非線型リアクタンスは C_{gs} 、 C_{gd} であり、共振回路は整合回路中のインダクタ、キャパシタ、およびデバイスを収めている筐体の浮遊容量や寄生素子により構成される(例えば、並列共振回路)。

【0018】デバイスの設計時に発振現象を考慮できない理由は、浮遊容量や寄生素子の値を正確に捕らえられないためである。このため、あるデバイスは発振しなかったり、あるものは発振することになり、これにより製造の歩留りを低下させる。

【0019】今、4GHz用の増幅器を作製し、もし、並列回路に1GHzで共振する並列共振回路ができていたとすると、4GHzの周波数の信号を励振源として、1GHzと3GHzで発振現象が起こることになる。

【0020】以上が、発振現象のメカニズムである。このような発振を防止する本発明によれば、並列に接続される半導体チップの各々の入出力側に接続される電力分配器や整合回路、電力合成器、ワイヤ等の各回路の相互間を導電性ワイヤにより繋げるようにしている。

【0021】ここで発振する条件は、 $f = \sqrt{1/LC}$ であるが、導電性ワイヤのインダクタ成分によって L が変化し、その共振回路が消滅される。なお、導電性

*側に接続されてインピーダンスを整合し、かつ、前記半導体チップ24、25から出力された信号を合成する出力整合回路27と、前記入力整合回路22、前記半導体チップ24、25及び前記出力整合回路27により形成される並列な各回路の相互間を繋げる導電性ワイヤ28とを備えたことを特徴とする高周波半導体装置によって達成する。

【0014】

【作用】発振現象のメカニズムは次のようにして生じると考えられる。一般に、図4に示すような電力増幅装置において見られる発振時のスペクトルは図5に示すように、入力信号の基本波長を f_0 とすると、 f_0 以外の周波数で発振スペクトルが見られる。

【0015】このような種類の発振現象はパラメトリック発振と考えられる。これは、Manly-Roweの法則により説明できる。この法則は、例えば非線型リアクタンスに f_1 、 f_2 及び f_3 ($f_3 = f_1 + f_2$)の周波数を持つ三つの電力 P_1 、 P_2 及び P_3 を加えた場合、周波数と電力の間には次式(1)、(2)の関係がなりたつというものである。

【0016】

ワイヤは、増幅周波数において高インピーダンスを有すれば、整合回路に影響はなく、しかも増幅器の出力特性に悪影響を与えない。

【0022】

【実施例】そこで、以下に本発明の実施例を図面に基づいて説明する。

(a) 本発明の第1実施例の説明

図1(a)は、本発明の第1実施例装置を示す平面図、同図(b)は、その等価回路図である。

【0023】図1(a)において符号1は、銅製の筐体で、入力側から出力側にかけてその筐体1の上には、入力信号を2つの経路に分配する電力分配器2と、分配された各ストリップ線路に金線3を介して接続される集中定数型の入力整合回路4、5と、入力整合回路4、5のそれぞれに金線6を介して接続されるマイクロ波増幅用半導体チップ7、8と、各半導体チップ7、8の出力側に金線9を介して接続される集中定数型の出力整合回路10、11と、出力整合回路10、11のインダクタとなる金線12を介して各出力整合回路10、11に接続される電力合成器14とが取付けられている。

【0024】15は、入力端INから出力端OUTにかけて配置される並列なストリップ線路を繋げる直径数十 μm 程度の高インピーダンスの金線で、この金線15は、並列となるそれぞれの電力分配器2、入力整合回路4、5、出力整合回路10、11、電力合成器14のいずれかの1箇所又は複数箇所を相互に繋げるように構成されている。

【0025】上記した電力分配器2は、下面がCu/Au膜

により覆われた誘電体基板 2 a の上面に Cu/Au 膜よりなる Y 字状の配線パターン 2 b を有してなるもので、その入力端 IN の入力信号を 2 つに分配するように構成されている。

【0026】また、上記した入力整合回路 4、5 と出力整合回路 10、11 は、それぞれ下面が Cu/Au 膜に覆われたセラミック、テフロン等の誘電体基板 16 の上に矩形状の Cu/Au 電極 4 a、5 a、10 a、11 a を形成してなるもので、これらによってインピーダンス整合用の平行平板コンデンサ C_1 、 C_2 が形成され、また、これに接続される金線 3、6、9、12 によりインダクタ L_{11} 、 L_{12} 、 L_{21} 、 L_{22} が形成され、これにより入力整合回路 4、5 及び出力整合回路 10、11 は集中定数型となっている。

【0027】半導体チップ 7、8 は、GaAsFET を有する電力増幅用デバイスで、この半導体チップ 7、8 のソースは下面に引き出されて筐体 1 に導通し、また、そのゲートは上面の入力側に引き出され、ドレインは出力側に引き出され、ゲートとドレインはそれぞれ入力整合回路 4、5 及び出力整合回路 10、11 の Cu/Au 電極 4 a、5 a、10 a、11 a の入力側、出力側に接続されている。

【0028】上記した電力合成器 14 は、下面が Cu/Au 膜に覆われた誘電体基板 14 a と、その上面に形成された Cu/Au 膜よりなる Y 字状の配線パターン 14 b を有してなるもので、出力整合回路 10、11 から金線 12 を通して伝達された信号を出力端 OUT で合成するように構成されている。

【0029】以上の半導体装置の等価回路は図 1 (b) に示すようになり、並列に接続された 2 つの回路は、入力端 IN と出力端 OUT の間のストリップ線路で金線 15 によって相互に一箇所又は複数箇所接続されている。このため、半導体装置において、浮遊容量や寄生素子等により生じる共振回路は、発振の周波数 f は、 $f = 1/\sqrt{LC}$ となるが、その金線 15 により L 成分が変化し、しかも、並列回路によって形成されるループ状の発振回路が消滅するので、発振が生じなくなる。

【0030】この場合、その金線 15 は、増幅周波数において高インピーダンスのストリップ線路であって、整合回路に影響はなく、増幅器の出力特性が悪化することではなく、入力信号の周波数を f_0 とすると、図 2 に示すような発振スペクトルのない周波数特性が得られる。

【0031】(b) 本発明の第 2 実施例の説明
図 3 (a) は、本発明の第 2 実施例を示す平面図、同図 (b) は、その等価回路図である。

【0032】図 3 (a) において符号 21 は、導電性の筐体で、この筐体 21 の上には、電力分配器を兼ねた入力整合回路 22 と、分配されたストリップ線路に金線 23 を介して接続される 2 個のマイクロ波増幅用半導体チップ 24、25 と、各半導体チップ 24、25 の出力側に

金線 26 を介して接続される出力整合回路 27 とが搭載されており、半導体チップ 24、25 により増幅された信号は出力整合回路 27 により合成されるように構成されている。

【0033】この場合、電力分配器を兼ねた入力整合回路 22 と電力合成器を兼ねた出力回路 27 は、第 1 実施例と異なり、金線によるインダクタを有するものではなく、下面が Cu/Au 膜により被覆された誘電体基板 22 a、27 a の上に Cu/Au 膜の略 Y 字状の電極 22 b、27 b を有してなるものである。そして、半導体チップ 24、25 に繋がる金線 23、26 のボンディング箇所からその入力端 IN 又は出力端 OUT に至るパターンの長さは $\lambda g/2$ であって、その中央の $\lambda g/4$ の部分を堺にして幅が異なるように形成され、これにより、その入力整合回路 22 と出力整合回路 27 は、それぞれ $\lambda g/4$ 線路 (λg : 管内波長) のインピーダンス変換性を利用した分布定数型となっている。

【0034】28 は、入力端 IN から出力端 OUT にかけて並列に配置されるストリップ線路を橋渡す直径数十 μm 程度の高インピーダンスの金線で、例えば、並列に接続される入力整合回路 22、出力整合回路 27 の電極 22 a、27 a をその金線 28 により相互に 1 箇所又は複数箇所を短絡するように形成されている。

【0035】また、半導体チップ 24、25 は、第 1 実施例と同様に、例えば GaAsFET を有して信号を増幅するもので、その下面にはソースが、入力側の端子にはゲートが、出力側の端子にはドレインがそれぞれ引き出されている。

【0036】以上の半導体装置の等価回路は図 3 (b) に示すようになり、この場合の並列回路は、インダクタとなる金線 28 によって接続されるが、その金線 28 は高インピーダンスであるので、信号がその金線 28 を介して進行することではなく、この金線 28 を設けない従来回路と同じストリップ線路に沿って伝送される。

【0037】しかも、並列回路を金線 28 により接続していない場合に、予測できない寄生素子等によって生じる発振の周波数 f は、 $f = 1/\sqrt{LC}$ となるが、その金線により L 成分が変化し、しかも、並列回路によって形成されるループ状の発振回路が消滅するので、第 1 実施例と同様に発振が生じなくなる。

【0038】

【発明の効果】以上述べたように本発明によれば、並列に接続される半導体チップの各々の入出力側に接続される電力分配器や整合回路、電力合成器、ワイヤ等の各回路の相互間を導電性ワイヤにより繋げるようにしたので、発振する条件は導電性ワイヤのインダクタ成分によって変化し、その共振回路を消滅することができる。

【0039】しかも、金等の数十 μm 程度の細い導電性ワイヤは、増幅周波数において高インピーダンスなので、整合回路に影響はなく、しかも増幅器の出力特性の

悪影響を防止できる。

【図面の簡単な説明】

【図1】本発明の第1実施例を示す平面図及び等価回路図である。

【図2】本発明の第1実施例の周波数特性図である。

【図3】本発明の第2実施例を示す平面図及び等価回路図である。

【図4】従来装置の一例を示す平面図である。

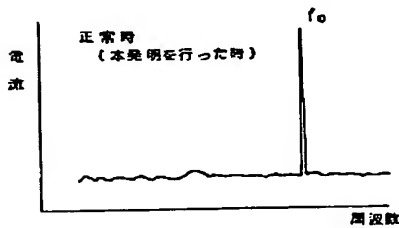
【図5】従来装置の発振スペクトルを示す周波数特性図及びGaAs FETの等価回路図である。

【符号の説明】

- 1 筐体
- 2 電力分配器
- 3、6、9、12 金線
- 4、5 入力整合回路
- 7、8 出力調整回路
- 14 電力合成回路
- 15 金線
- 21 筐体
- 22 入力調整回路
- 23、26 金線
- 27 出力調整回路

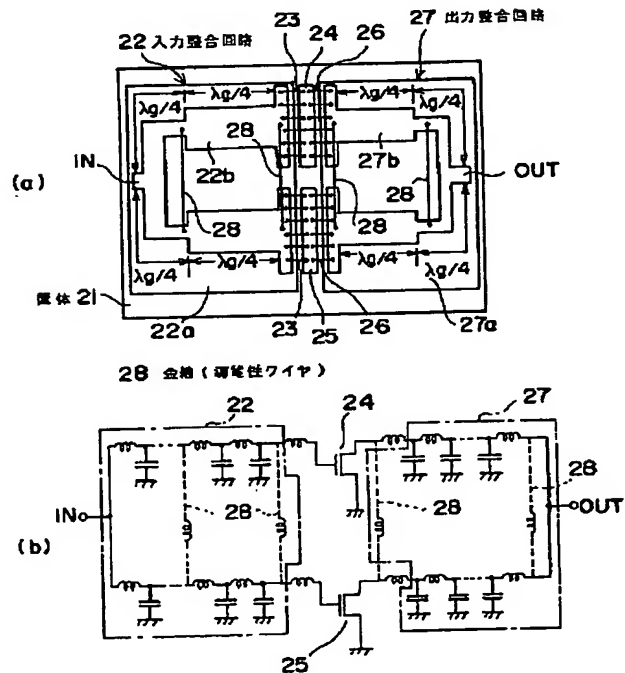
【図2】

本発明の第1実施例の周波数特性図



【図3】

本発明の第2実施例を示す平面図及び等価回路図

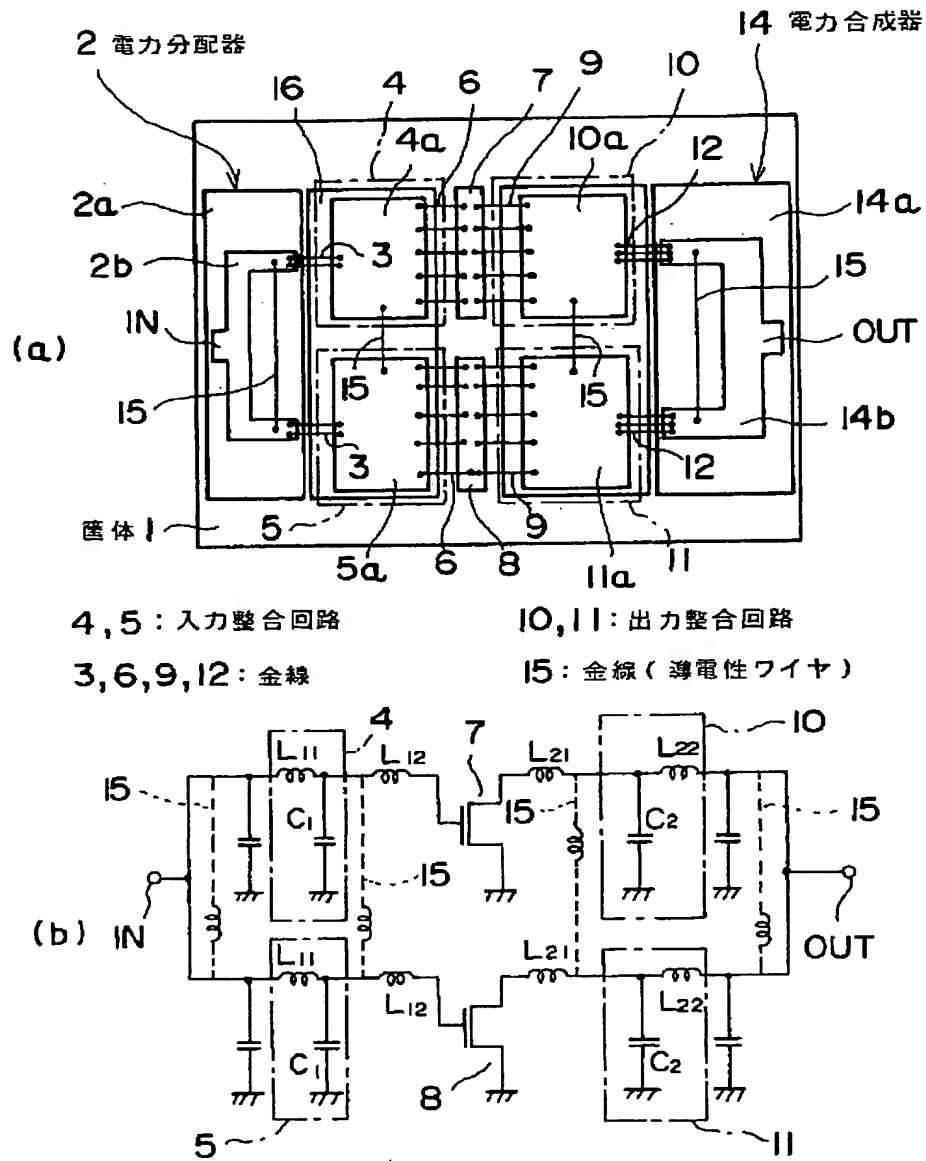


28 金線 (導電性ワイヤ)

(b)

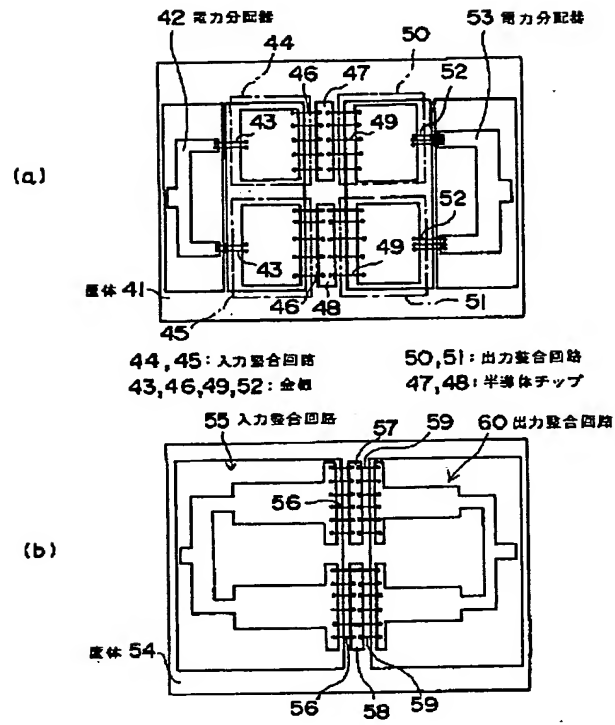
【図1】

本発明の第1実施例を示す平面図及び等価回路図



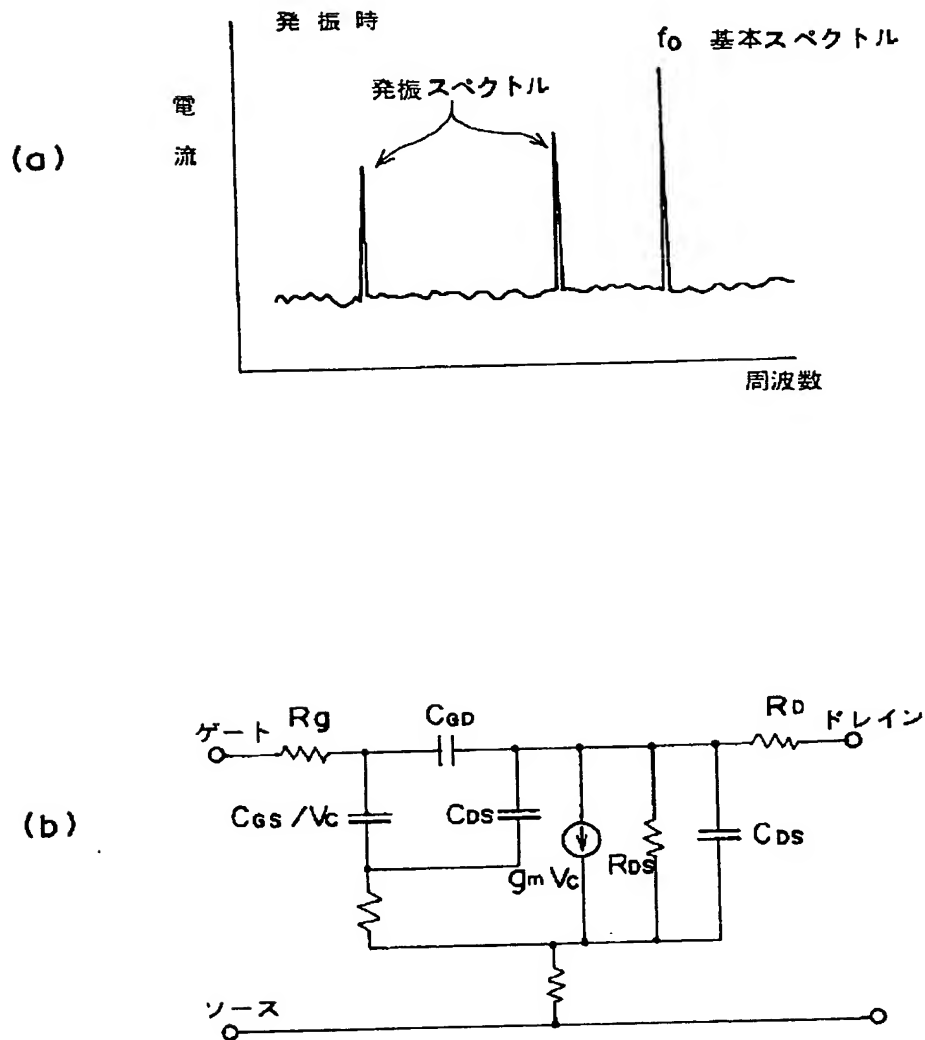
【図4】

従来装置の一例を示す平面図



【図5】

従来装置の発振スペクトルを示す周波数特性図
及び GaAs FET の等価回路図



フロントページの続き

(51) Int. Cl.⁵

H 0 1 L 25/18

識別記号

庁内整理番号

F I

技術表示箇所

【公報種別】特許法第17条の2の規定による補正の掲載
【部門区分】第7部門第3区分
【発行日】平成12年11月30日(2000.11.30)

【公開番号】特開平6-6151
【公開日】平成6年1月14日(1994.1.14)
【年通号数】公開特許公報6-62
【出願番号】特願平4-158266
【国際特許分類第7版】

H03F 3/60
H01L 23/12 301
23/50
25/04
25/18

【F I】

H01L 25/04 Z
H03F 3/60
H01L 23/12 301 Z
23/50 Z

【手続補正書】

【提出日】平成11年6月7日(1999.6.7)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】並列に接続される複数の半導体チップの入力側のストリップ線路と出力側のストリップ線路の少なくとも一方にある並列なストリップ線路間を、1本又は複数本の導電性ワイヤによって接続することを特徴とする高周波半導体装置。

【請求項2】入力端に入力した信号を複数のストリップ線路に分配する電力分配器と、前記電力分配器に接続されてインピーダンスを整合する複数の入力整合回路と、前記入力整合回路にそれぞれ接続される複数の半導体チップと、前記半導体チップの各々の出力側に接続されてインピーダンスを整合する複数の出力整合回路と、複数の前記出力整合回路に接続されて出力端に信号を合成する電力合成器と、前記電力分配器、前記入力整合回路、前記半導体チップ、前記出力整合回路及び前記電力合成器により形成される並列な各回路のうちの少なくとも1つの並列な回路の相互間を繋げる導電性ワイヤとを備えたことを特徴とする高周波半導体装置。

【請求項3】入力端に入力した信号を複数のストリップ線路に分配し、かつ、インピーダンスを整合する入力整

合回路と、

前記入力整合回路に接続される複数の半導体チップと、前記半導体チップの各々の出力側に接続されてインピーダンスを整合し、かつ、前記半導体チップから出力された信号を合成する出力整合回路と、前記入力整合回路、前記半導体チップ及び前記出力整合回路により形成される並列な各回路のうちの少なくとも1つの並列な回路の相互間を繋げる導電性ワイヤとを備えたことを特徴とする高周波半導体装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正内容】

【0012】または、図1に例示するように、入力端INに入力した信号を複数のストリップ線路に分配する電力分配器2と、前記電力分配器2に接続されてインピーダンスを整合する複数の入力整合回路4、5と、前記入力整合回路4、5にそれぞれ接続される複数の半導体チップ7、8と、前記半導体チップ7、8の各々の出力側に接続されてインピーダンスを整合する複数の出力整合回路10、11と、複数の前記出力整合回路10、11に接続されて出力端OUTに信号を合成する電力合成器14と、前記電力分配器2、前記入力整合回路4、5、前記半導体チップ7、8、前記出力整合回路10、11及び前記電力合成器14により形成される並列な各回路のうちの少なくとも1つの並列な回路の相互間を繋げる導電性ワイヤ15とを備えたことを特徴とする高周波半導体装置によって解決される。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正内容】

【0013】または、図3に例示するように、入力端に
入力した信号を複数のストリップ線路に分配し、かつ、
インピーダンスを整合する入力整合回路22と、前記入
力整合回路22に接続される複数の半導体チップ24、
25と、前記半導体チップ24、25の各々の出力側に
接続されてインピーダンスを整合し、かつ、前記半導体
チップ24、25から出力された信号を合成する出力整

$$P_3 / P_1 = -f_3 / f_1 = - (1 + f_2 / f_1) \quad \cdots \cdots (1)$$

$$P_3 / P_2 = -f_3 / f_2 = - (1 + f_1 / f_2) \quad \cdots \cdots (2)$$

合回路27と、前記入力整合回路22と、前記半導体チッ
プ24、25及び前記出力整合回路27により形成され
る並列な各回路のうちの少なくとも1つの並列な回路の
相互間を繋げる導電性ワイヤ28とを備えたことを特徴
とする高周波半導体装置によって解決する。

発振現象を考える際に、今、周波数 f_3 の電力 P_3 だけが
非線型リアクタンスに入力したと仮定し、周波数 f_1 に共
振する回路があるとすれば、 f_3 を励振源として、 $f_3 = f_1$
+ f_2 の関係にある周波数 f_1 、 f_2 の両方で発振を生じる可
能性がある。る。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0030

【補正方法】変更

【補正内容】

【0030】この場合、その金線15は、増幅周波数に
おいて高インピーダンスであって、整合回路に影響はな
く、増幅器の出力特性が悪化することではなく、入力信号
の周波数を f_0 とすると、図2に示すような発振スペク
トルのない周波数特性が得られる。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0032

【補正方法】変更

【補正内容】

【0032】図3(a)において符号21は、導電性の筐
体で、この筐体21の上には、電力分配器を兼ねた入力
整合回路22と、分配されたストリップ線路に金線23
を介して接続される2個のマイクロ波増幅用半導体チッ

合回路27と、前記入力整合回路22と、前記半導体チッ
プ24、25及び前記出力整合回路27により形成され
る並列な各回路のうちの少なくとも1つの並列な回路の
相互間を繋げる導電性ワイヤ28とを備えたことを特徴
とする高周波半導体装置によって解決する。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正内容】

【0016】

プ24、25と、各半導体チップ24、25の出力側に
金線26を介して接続される電力合成器を兼ねた出力整
合回路27とが搭載されており、半導体チップ24、2
5により増幅された信号は出力整合回路27により合成
されるように構成されている。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0033

【補正方法】変更

【補正内容】

【0033】この場合、電力分配器を兼ねた入力整合回
路22と電力合成器を兼ねた出力回路27は、第1実施
例と異なり、金線によるインダクタを有するものではな
く、下面がCu/Au膜により被覆された誘電体基板22
a、27aの上にCu/Au膜の略Y字状の電極22b、2
7bを有してなるものである。そして、半導体チップ2
4、25に繋がる金線23、26のボンディング箇所か
らその入力端IN又は出力端OUTに至るパターン
の長さは $\lambda_g / 2$ であって、その中央の $\lambda_g / 4$ の部分を境に
して幅が異なるように形成され、これにより、その入力整
合回路22と出力整合回路27は、それぞれ $\lambda_g / 4$ 線路
(λ_g ：管内波長)のインピーダンス変換性を利用した
分布定数型となっている。

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.